THIS PAGE IS INSERTED BY OIPE SCANNING

IMAGES WITHIN THIS DOCUMENT ARE BEST AVAILABLE COPY AND CONTAIN DEFECTIVE IMAGES SCANNED FROM ORIGINALS SUBMITTED BY THE APPLICANT.

DEFECTIVE IMAGES COULD INCLUDE BUT ARE NOT LIMITED TO:

BLACK BORDERS

TEXT CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT

ILLEGIBLE TEXT

SKEWED/SLANTED IMAGES

COLORED PHOTOS

BLACK OR VERY BLACK AND WHITE DARK PHOTOS

GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY. RESCANNING DOCUMENTS WILL NOT CORRECT IMAGES.

							- 3		·				 - <u>*</u>	 			- 			75	काङ्ग राष्ट्र	n No		
34					100														٠					
1						. A																, a		
gr No.)				1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1					¥.	#		16 1	, in .								September 1
F ⁽¹⁾		,						**************************************				- 154 - 154							,			5		
										1,1					w.	٠,		- 4 + 5	*					W. C.
X							<i>†</i> «~		· · · · · · · · · · · · · · · · · · ·			7 -7		¥¥. :			* * *						· ·	
100 m					r						٠.,					v								3
																	í					, A.		
* 600 A																								
a.														•	-	,								#
		٠.						* - 1			,								. *		* .			*•
						21						n *							•					
***				,																			,	4
ă)																	1000 1000 1000							
3.0																								
Section																								14 14 15
																								4
																								• • • •
	•																							1 2
																, , , , ,								
																			:					4.11
\$																								
7 1																				•	•*			
W.																								
H .		•																						
1																								•
							٠																	
																				•				•
		•					•																٠	

FLAT SEMICONDUCTOR ELEMENT STACK

62-141751 [JP 62141751 A] June 25, 1987 (19870625) PUB. NO.: PUBLISHED:

INVENTOR(s): YANO KAZUHIRO KITAJIMA HIROSHI

APPLICANT(s): FUJI ELECTRIC CO LTD [000523] (A Japanese Company or

Corporation), JP (Japan)

60-282556 [JP 85282556] APPL NO.: December 16, 1985 (19851216) FILED: INTL CLASS: [4] H01L-025/14; H01L-023/34

JAPIO CLASS: 42.2 (ELECTRONICS — Solid State Components)

JAPIO KEYWORD:R058 (MACHINERY — Heating Pipes)

Section: E, Section No. 562, Vol. 11, No. 374, Pg. 19, JOURNAL: December 05, 1987 (19871205)

ABSTRACT

PURPOSE: To improve the cooling efficiency of elements and to enable a device to have reduced dimensions, by applying a heat-transfer plate to the side of a single flat semiconductor element or a stack of a plurality of such elements opposite to a cooling body, while applying the heat-transfer plate to a heat-transfer rod having an end contacted with the cooling body.

CONSTITUTION: A flat semiconductor element 1a is applied to a cooling body 2 through an insulation sheet 5. A heat-transfer plate 6a is applied to the side of the semiconductor element 1a opposite to the cooling body 2 through another insulation sheet 5. A flat semiconductor element 1b is applied to the heat-transfer plate 6a through an insulation sheet 5 so that the elements 1a and 1b are stacked. A heat-transfer plate 6b is applied to the end face of the element 1b opposite to the cooling body 2 through an insulation sheet 5, and the heat- transfer plate 6b is pressed against the cooling body 2 by threading a clamping fitment into the cooling body 2. The heat-transfer plates 6a and 6b are arranged vertically on the cooling body 2 while the ends thereof are joined to a heat-transfer rod 7 buried in the cooling body 2. Connecting conductor bars 4 for example are led out from the ends of the elements 1a and 1b, and the elements 1a and 1b are connected to each other in series or in parallel by the conductor bars 4. Accordingly, heat can be transferred well from the faces of the flat semiconductor elements to the cooling body and therefore the elements can be cooled effectively.

[®]公開特許公報(A)

昭62-141751

®Int C1 4

H 01 L 25/1

識別記号 广内整理番号

❷公開 昭和62年(1987)6月25日

H 01 L 25/14 23/34 7638-5F 6835-5F

審査請求 未請求 発明の数 1 (全3頁)

公発明の名称 平形半導体素子スタック

②特 顕 昭60-282556

登出 顧 昭60(1985)12月16日

① 発明者 矢野 和 厚 ② 発明者 北 島 宏

川崎市川崎区田辺新田1番1号 富士電機株式会社内川崎市川崎区田辺新田1番1号 富士電機株式会社内

川崎市川崎区田辺新田1番1号 川崎市川崎区田辺新田1番1号

①出 願 人 富士電機株式会社 ②代 理 人 弁理士 山口 巌

明 麗 書

1. 発明の名称 平形半導体禁子スタック

2.特許請求の疑問

1) 1 個または複数個預宜ねた平 形半導体象子の 一方機を指担体に単接し、他端をこの冷超体に固 足する域付金具によって押圧するようにした平形 半導体業子スタッタにおいて、各業子の冷超体の 反対領域に直接また状態最シートを介して伝動域 を曲接し、この伝動板を禁配冷超体に一塊を要す る伝為様に舞合してなることを軽微とする平形半 導体素子スタッタ。

2) 特許請求の越盟第1項記載の平形半導体量子 スタッタにおいて、伝熱株が一場を第記伝急域に、 他減を無記合動体に要するヒートペイプである平 単単導体素子スタッタ。

3.発明の詳細な説明

(発明の展する技術分野)

本発明は平影学等体景子スタックの構造に関する。

(炭水技術とその関題点)

大容量の半導体装置に用いられる平形半導体素 子スタックは素子の冷却が効果的に行われ、でき るだけ小形磁盘であることがのぞましい。

第7 図および 第8 図は従来の平形半導体案子スタックを示す。図において1は平形半導体業子、2 は冷却体であり、 素子1 は単数あるいは複数個質量な冷却体に過程し、 冷却体2 の反対側を冷却体には強け金具3 によって押圧している。 4 は 無続導体パーで、 5 は 悪缺シートである。 絶験シート 5 は 素子と冷却体。 おき 通いである。 絶縁シート 5 は 素子と 冷却体。 が 音通であるが、 スタックの 接続回路によっては 紫子と 冷却体との間が省かれたり、 紫子と 紫子との間に致けられたりずることがある。

この構造では平形半導体業子の詹却体に要する 倒は元分に詹却されるが、詹却体とは反対側の故 動が不元分で、本子の程度が異くなるので、発生 熱を制限して用いなければならず、特に素子を2 取以上に独立ねるとその傾向が大となるので大容 量では第8 内のごとく単一素子1 を並べて詹却体



2 に取付けなければならないのでき超体の景子占有面が大となり。スタックが大形化し、なおかつ 景子の発生熱を制限しなければならないといった 欠点があった。

(発明の目的)

本発明は前記の欠点を飲去し、 無子の角翅性を向上させ、 扱量の小形化を可能とする平形単導体 無子スタックを提供することを目的とする。

(発明の要点)

本発明は単体または複数価積重ねた平形単導体 素子の冷却体と反対側に伝熱板を過渡し、伝熱板 を冷却体に増部を要する伝熱棒に過援するように しようとするものである。

(発明の実施費)

第1回および第2回は本発明の実施例の平形半 導体景子スタックを示すもので第7回および第8 図と同一符号で示すものは同一部品である。 冷却 体2 に絶数シート 5 を介して過 接する平形半導体 業子 1 a の冷却体の反対側に絶数シート 5 を介し て伝熱板 6 a を必要し、 伝熱板 6 a に絶数シート

例の平形単導体素子スタックを示す。 冷却体 2 に一類を勘録シート 5 を介して当 発され、 伝 制板 6 a が 当 形され、 伝 制板 6 a に 素子 1 b が 勘 級シート 5 を介して増 宜 ねられ、 素子 1 b の 冷却体の反対領の 姆面に 伝 制板 6 b を 冷却体 2 に ねじ込む 類付金 異で 神圧 するとともに、 伝 制板 6 a . 6 b と 冷却体 2 との間に 2 本のヒート で 各 平 形 半 導 体 素子の 両 畑 より 接続 導体 パー 4 が 引 出 され、 各 素子が 値 列 または 並 列に 痩 乾される ようになっている。

このようにすることにより、平形半導体量子の 両面より無が冷却体に充分に伝えられるので電子 の冷却が効果的に行われるようになる。また 2 後 以上の多級増みの無子の冷却性を向上させること も可能となり、取付けスペース。 及者に関わを受 ける車両用として減している。

(毎明の効果)

本语明化よれば平形半導体太子の冷却性が良好

5を介して平形半線体象子1bを当接して 象子1a.1bを構成ね、象子1bの冷却体とは反対傾の週面に絶縁シート5を介して伝熱板6bを当接し、伝熱板6bを冷却体2にねじ込む傾付全具3で押圧している。そして伝熱板6a.6bを冷却体2に垂近に立てて始部を冷却体2、概数する伝熱棒7に接合している。案子1a.1bの両端より接続導体パー4が引出されており、接続導体パーによって象子1a.1bは直列または並列に接続されるようになっている。

第3図および第4関は本発明の他の実施例の平形半導体業子スタックを示す。一選を合却体に当無する2段積みの平形半導体業子1a.1bの合却体の反対側に当接する伝熱板6a.6bを接合して合却体2に増配を選及する2本の伝熱は7が中空円筒となっており、それらの中空部を通して続付金具3か合却体2にねじ込まれている。このようにすると合却体投資に平形半導体業子が抵然と並べられ提置をコンパクトとすることができる。

第5回および第6回はさらに本発明の他の実施

となるのでスタックが小形軽量化され、半導体要 徴の小形化と毎頻性向上の効果がある。

4. 図面の無単な説明

無1四は本発明の実施例の半導体素子スタックの平面図、無2回は第1回の止ー11 矢視断面図、無3回は本発明の他の実施例の半導体業子スタックの平面図、減4回は無3回のIV - IV 矢視部分断面図、第5回は本発明の他の実施例の平形半導体業子スタックの平面図、第6回は第5回のVI - VI 矢視断面図、第7回および第8回は従来の平形半導体業子スタックの正面図である。

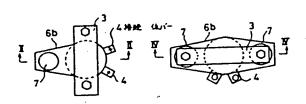
1 a . 1 b : 平形半導体素子、 2 : 合却体、 3 : 適付金具、 4 : 接続導体パー、 5 : 過級シート、 6'a . 6 b : 伝素板、 7 : 伝素棒、 8 : ヒートパイプ。

犯罪人种理士 山 口



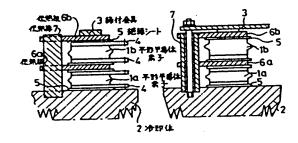






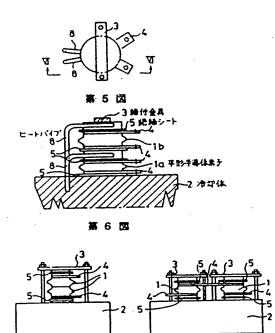


第3図



数 2 页

第 4 図



第8**2**